

特長

ゲインを 3 dB ステップでデジタル制御可能

-5 dB~+40 dB ($R_L = 1\text{ k}\Omega$)

-10 dB~+35 dB ($R_L = 200\ \Omega$)

380 MHz までの ± 20 MHz 帯域幅で 0.2 dB 以下の平坦性

4 ビット・パラレルまたは 3 線式シリアルインターフェース

200 Ω の差動入力および差動出力インピーダンス

単電源動作: 3.0 V~5.5 V

電源電流: 5 V で 37 mA

パワーダウン<最大 1 mA

アプリケーション

移動電話/PCS 基地局

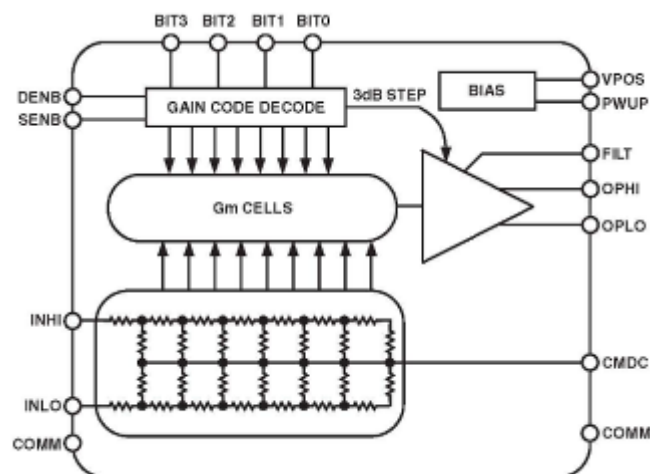
IF サンプリング・レシーバ

固定ワイヤレス・アクセス

有線モデム

計装機器

機能ブロック図



製品説明

AD8369 は、すべてのゲイン・コードで低周波から 600 MHz の-3 dB 周波数までの使用を対象とするデジタル制御高性能可変ゲイン・アンプ (VGA) です。AD8369 は、1 k Ω 負荷での 1 V p-p の 2 トーン合成出力に対して、3 次相互変調歪みが 70 MHz で-69 dBc の優れた歪み性能を提供します。AD8369 は最大ゲインで 7 dB の公称ノイズ・フィギュアを持ち、ゲインの減少とともに増加します。出力 IP3 は、1 k Ω 負荷に対して 70 MHz で+19.5 dBm であり、全ゲイン範囲で一定です。

入力信号は、INHI ピンと INLO ピンに接続します。可変ゲインは 2 つの方法で実現されます。6 dB のゲイン・ステップは、200 Ω の R-2R ラダー回路を使って入力信号を漸進的に減衰するディスクリート X-AMP[®] 構造で実現され、ここでは入力インピーダンスも設定されます。一方、3 dB ステップは出力アンプで実現されています。この組み合わせにより、45 dB の範囲で非常に正確な 3 dB ゲイン・ステップが提供されます。出力インピーダンスは、差動出力ピンの OPHI と OPLO の間にある内蔵抵抗により設定されます。

全体ゲインは、入力ポートと出力ポートの抵抗性に起因して、ソース・インピーダンスと負荷インピーダンスに依存します。

AD8369 のデジタル制御は、シリアルまたはパラレルのインターフェースを使って行われます。デジタル制御モードは、1 本のピン (SENB) をグラウンドまたは正電源に接続することにより選択されます。デジタル制御ピンは、標準 CMOS ロジック・レベルで駆動することができます。

AD8369 は、PWUP ピンに加えるロジック・レベルでパワーオンまたはパワーダウンさせることができます。ハイ・レベルを加えると、デバイスは直ちにパワーアップして 25°C で 37 mA の公称静止電流になります。ロー・レベルを加えると、総合消費電力は数 mW 以下に低下します。

AD8369 は、アナログ・デバイセズ独自の高性能 25 GHz シリコン・バイポーラ IC プロセスで製造され、-40°C~+85°C の工業用温度範囲で 16 ピン TSSOP パッケージを採用しています。部品実装済みの評価用ボードも提供しています。

仕様 (特に指定がない限り、 $V_S = 5\text{ V}$ 、 $T = 25\text{ }^\circ\text{C}$ 、 $R_S = 200\ \Omega$ 、 $R_L = 1000\ \Omega$ 、周波数 = 70 MHz、最大ゲイン)

Parameter	Conditions	Min	Typ	Max	Unit
OVERALL FUNCTION					
Frequency Range	3 dB Bandwidth	LF*		600	MHz
GAIN CONTROL INTERFACE					
Voltage Gain Span			45		dB
Maximum Gain	All bits high (1 1 1 1)		40		dB
Minimum Gain	All bits low (0 0 0 0)		-5		dB
Gain Step Size			3		dB
Gain Step Accuracy	Over entire gain range, with respect to 3 dB step		± 0.05		dB
Gain Step Response Time	Step = 3 dB, settling to 10% of final value		30		ns
INPUT STAGE					
Input Resistance	From INHI to INLO		200		Ω
	From INHI to COMM, from INLO to COMM		100		Ω
Input Capacitance	From INHI to INLO		0.1		pF
	From INHI to COMM, from INLO to COMM		1.1		pF
Input Noise Spectral Density			2		nV/ $\sqrt{\text{Hz}}$
Input Common-Mode DC Voltage	Measured at pin CMDC		1.7		V
Maximum Linear Input	$ V_{\text{INHI}} - V_{\text{INLO}} $ at Minimum Gain		2.2		V
OUTPUT STAGE					
Output Resistance	From OPHI to OPLO		200		Ω
	From OPHI to COMM, from OPLO to COMM		100		Ω
Output Capacitance	From OPHI to OPLO		0.25		pF
	From OPHI to COMM, from OPLO to COMM		1.5		pF
Common-Mode DC Voltage	No input signal		$V_S/2$		V
Slew Rate	Output step = 1 V		1200		V/ μs
POWER INTERFACE					
Supply Voltage		3.0		5.5	V
Quiescent Current	PWUP high		37	42	mA
vs. Temperature	$-40\text{ }^\circ\text{C} \leq T_A \leq 85\text{ }^\circ\text{C}$			52	mA
Disable Current	PWUP low		400	750	μA
vs. Temperature	$-40\text{ }^\circ\text{C} \leq T_A \leq 85\text{ }^\circ\text{C}$			1	mA
POWER UP INTERFACE					
Enable Threshold	Pin PWUP			1.0	V
Disable Threshold		2.2			V
Response Time	Time delay following low to high transition on PWUP until output settles to within 10% of final value		7		μs
Input Bias Current	PWUP = 5 V		160		μA
DIGITAL INTERFACE					
	Pins SENB, BIT0, BIT1, BIT2, BIT3, and DENB				
Low Condition				2.0	V
High Condition		3.0			V
Input Bias Current	Low input		150		μA
Frequency = 10 MHz					
Voltage Gain			40.5		dB
Gain Flatness	Within $\pm 10\text{ MHz}$ of 10 MHz		$\pm 0.05^*$		dB
Noise Figure			7.0		dB
Output IP3	$f_1 = 9.945\text{ MHz}$, $f_2 = 10.550\text{ MHz}$		+22		dBV rms
			+22		dBm
IMD ₃	$f_1 = 9.945\text{ MHz}$, $f_2 = 10.550\text{ MHz}$		-74		dBc
	$V_{\text{OPHI}} - V_{\text{OPLO}} = 1\text{ V p-p}$ composite		-72		dBc
Harmonic Distortion	Second-Order, $V_{\text{OPHI}} - V_{\text{OPLO}} = 1\text{ V p-p}$		-71		dBc
	Third-Order, $V_{\text{OPHI}} - V_{\text{OPLO}} = 1\text{ V p-p}$		+3		dBV rms
P1dB	For $\pm 1\text{ dB}$ deviation from linear gain		+3		dBm

*低周波ハイパス・コーナー周波数は、FILT ピンのコンデンサ C_{FILT} により決定されます。詳細については、動作原理のセクションを参照してください。

仕様 (続き)

Parameter	Conditions	Min	Typ	Max	Unit
Frequency = 70 MHz Voltage Gain Gain Flatness Noise Figure Output IP3 IMD ₃ Harmonic Distortion P1dB	Within ± 20 MHz of 70 MHz f1 = 69.3 MHz, f2 = 70.7 MHz f1 = 69.3 MHz, f2 = 70.7 MHz V _{OPHI} - V _{OPLO} = 1 V p-p composite Second-Order, V _{OPHI} - V _{OPLO} = 1 V p-p Third-Order, V _{OPHI} - V _{OPLO} = 1 V p-p For ± 1dB deviation from linear gain		40.5 ± 0.1 7.0 +19.5 +19.5 -69 -68 -64 +3 +3		dB dB dB dBV rms dBm dBc dBc dBc dBV rms dBm
Frequency = 140 MHz Voltage Gain Gain Flatness Noise Figure Output IP3 IMD ₃ Harmonic Distortion P1dB	Within ± 20 MHz of 140 MHz f1 = 139.55 MHz, f2 = 140.45 MHz f1 = 139.55 MHz, f2 = 140.45 MHz V _{OPHI} - V _{OPLO} = 1 V p-p composite Second-Order, V _{OPHI} - V _{OPLO} = 1 V p-p Third-Order, V _{OPHI} - V _{OPLO} = 1 V p-p For ± 1 dB deviation from linear gain		40.0 ± 0.10 7.0 +17 +17 -64 -63 -55 +3 +3		dB dB dB dBV rms dBm dBc dBc dBc dBV rms dBm
Frequency = 190 MHz Voltage Gain Gain Flatness Noise Figure Output IP3 IMD ₃ Harmonic Distortion P1dB	Within ± 20 MHz of 190 MHz f1 = 189.55 MHz, f2 = 190.45 MHz f1 = 189.55 MHz, f2 = 190.45 MHz V _{OPHI} - V _{OPLO} = 1 V p-p composite Second-Order, V _{OPHI} - V _{OPLO} = 1 V p-p Third-Order, V _{OPHI} - V _{OPLO} = 1 V p-p For ± 1dB deviation from linear gain		39.7 ± 0.1 7.2 +15.5 +15.5 -61 -57 -51 +2 +2		dB dB dB dBV rms dBm dBc dBc dBc dBV rms dBm
Frequency = 240 MHz Voltage Gain Gain Flatness Noise Figure Output IP3 IMD ₃ Harmonic Distortion P1dB	Within ± 20 MHz of 240 MHz f1 = 239.55 MHz, f2 = 240.45 MHz f1 = 239.55 MHz, f2 = 240.45 MHz V _{OPHI} - V _{OPLO} = 1 V p-p composite Second-Order, V _{OPHI} - V _{OPLO} = 1 V p-p Third-Order, V _{OPHI} - V _{OPLO} = 1 V p-p For ± 1 dB deviation from linear gain		39.3 ± 0.1 7.2 +14 +14 -58 -50 -49 +1.5 +1.5		dB dB dB dBV rms dBm dBc dBc dBc dBV rms dBm
Frequency = 320 MHz Voltage Gain Gain Flatness Noise Figure Output IP3 IMD ₃ Harmonic Distortion P1dB	Within ± 20 MHz of 320 MHz f1 = 319.55 MHz, f2 = 320.45 MHz f1 = 319.55 MHz, f2 = 320.45 MHz V _{OPHI} - V _{OPLO} = 1 V p-p composite Second-Order, V _{OPHI} - V _{OPLO} = 1 V p-p Third-Order, V _{OPHI} - V _{OPLO} = 1 V p-p For ± 1 dB deviation from linear gain		39.0 ± 0.15 7.4 +11.5 +11.5 -53 -47 -49 +1.0 +1.0		dB dB dB dBV rms dBm dBc dBc dBc dBV rms dBm

仕様 (続き)

Parameter	Conditions	Min	Typ	Max	Unit
Frequency = 380 MHz					
Voltage Gain	Within ± 20 MHz of 380 MHz		38.5		dB
Gain Flatness			± 0.15		dB
Noise Figure			7.8		dB
Output IP3		$f_1 = 379.55$ MHz, $f_2 = 380.45$ MHz		+8.5	
IMD ₃	$f_1 = 379.55$ MHz, $f_2 = 380.45$ MHz, $V_{OPHI} - V_{OPL0} = 1$ V p-p composite		-47		dBc
Harmonic Distortion	Second-Order, $V_{OPHI} - V_{OPL0} = 1$ V p-p		-45		dBc
	Third-Order, $V_{OPHI} - V_{OPL0} = 1$ V p-p		-49		dBc
P1dB	For ± 1 dB deviation from linear gain		+0.5		dBV rms
			+0.5		dBm

仕様は予告なく変更されることがあります。

タイミング仕様

シリアル設定のタイミング条件

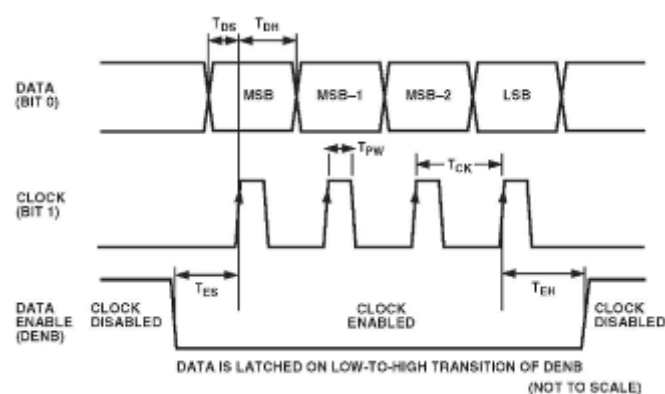
($V_S = 5$ V、 $T = 25^\circ\text{C}$)

Parameter	Typ	Unit
Minimum Clock Pulsewidth (T_{PW})	10	ns
Minimum Clock Period (T_{CK})	20	ns
Minimum Setup Time Data vs. Clock (T_{DS})	2	ns
Minimum Setup Time Data Enable vs. Clock (T_{ES})	2	ns
Minimum Hold Time Clock vs. Data Enable (T_{EH})	2	ns
Minimum Hold Time Data vs. Clock (T_{DH})	4	ns

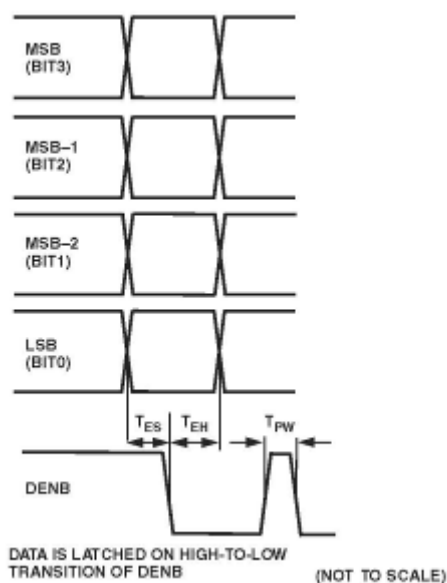
パラレル設定のタイミング条件

($V_S = 5$ V、 $T = 25^\circ\text{C}$)

Parameter	Typ	Unit
Minimum Setup Time Data Enable vs. Data (T_{ES})	2	ns
Minimum Hold Time Data Enable vs. Data (T_{EH})	2	ns
Minimum Data Enable Width (T_{PW})	4	ns



シリアル設定のタイミング



パラレル設定のタイミング

絶対最大定格*

Supply Voltage V_S , VPOS	5.5 V
PWUP	$V_S + 200$ mV
BIT0, BIT1, BIT2, BIT3, DENB, SENB	$V_S + 200$ mV
Input Voltage, V_{INH} – V_{INLO}	4 V
Input Voltage, V_{INH} or V_{INLO} with respect to COMM	4.5 V
Input Voltage, V_{INH} – V_{INLO} with respect to COMM	COMM – 200 mV
Internal Power Dissipation	265 mW
θ_{JA}	150°C/W
Maximum Junction Temperature	125°C
Operating Temperature Range	–40°C to +85°C
Storage Temperature Range	–65°C to +150°C
Lead Temperature Range (soldering 60 sec)	to 300°C

*上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 1. 電圧ゲイン(typ)対ゲイン・コード ($V_S = 5$ V, $f = 70$ MHz)

Gain Code	BIT3	BIT2	BIT1	BIT0	Typical Gain (dB) $R_L = 1$ k Ω	Typical Gain (dB) $R_L = 200$ Ω
0	0	0	0	0	–5	–10
1	0	0	0	1	–2	–7
2	0	0	1	0	1	–4
3	0	0	1	1	4	–1
4	0	1	0	0	7	2
5	0	1	0	1	10	5
6	0	1	1	0	13	8
7	0	1	1	1	16	11
8	1	0	0	0	19	14
9	1	0	0	1	22	17
10	1	0	1	0	25	20
11	1	0	1	1	28	23
12	1	1	0	0	31	26
13	1	1	0	1	34	29
14	1	1	1	0	37	32
15	1	1	1	1	40	35

オーダー・ガイド

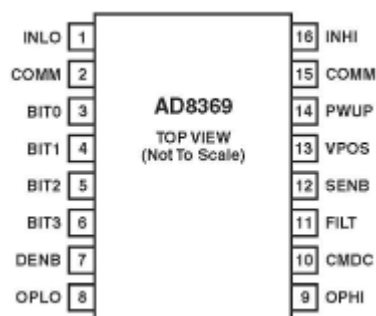
Model	Temperature Range	Package Description	Package Option
AD8369ARU	–40°C to +85°C	Tube, 16-Lead TSSOP	RU-16
AD8369ARU-REEL7	–40°C to +85°C	7" Tape and Reel	
AD8369EVAL		Evaluation Board	

ESD の注意

ESD (静電気放電) に敏感なデバイスです。4000 V にもなる静電気は人体や装置に蓄積され、検出されずに放電することがあります。この製品は当社独自の ESD 保護回路を内蔵していますが、高エネルギーの静電放電が発生すると、デバイスが永久的な損傷を受けることがあります。このため、性能低下または機能損失を防止するために、ESD に対する適切な注意が必要です。



ピン配置

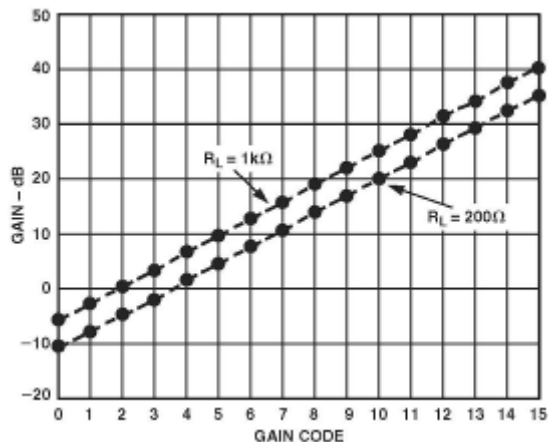


ピン機能の説明

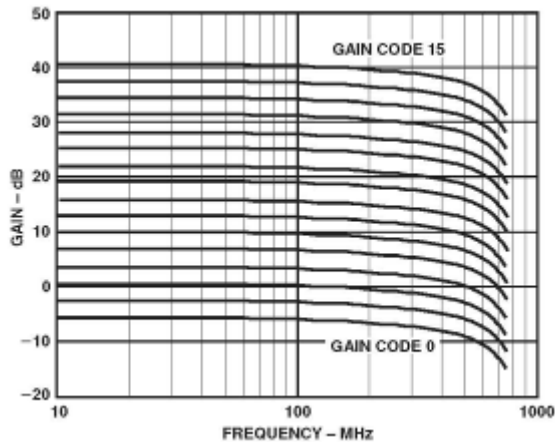
ピン番号	記号	機能
1	INLO	平衡差動入力。内部でバイアスされているため、AC 結合する必要があります。
2	COMM	デバイスのコモン。低インピーダンスのグラウンドに接続。
3	BIT0	ゲイン選択の最下位ビット。シリアル動作モードではデータ入力信号として使用します。
4	BIT1	ゲイン選択コントロール・ビット。シリアル動作モードでは CLOCK 入力ピンとして使用します。
5	BIT2	ゲイン選択コントロール・ビット。シリアル動作モードでは非アクティブ。
6	BIT3	ゲイン選択の最上位ビット。シリアル動作モードでは非アクティブ。
7	DENB	データ・イネーブル・ピン。レジスタヘータを書込みます。詳細については、タイミング仕様を参照してください。
8	OPLO	平衡差動出力。電源中点にバイアスされているため、AC 結合する必要があります。
9	OPHI	平衡差動出力。電源中点にバイアスされているため、AC 結合する必要があります。
10	CMDC	同相モード・デカップリング・ピン。同相モード電源に対する内蔵のデカップリングを強化する場合、このピンとグラウンドの間にバイパス・コンデンサを接続してください。
11	FILT	ハイパス・フィルタ接続。ハイパス・コーナー周波数設定の際に使用します。
12	SENB	シリアルまたはパラレル・インターフェースの選択。シリアル動作の場合は SENB と VPOS を接続します。パラレル動作の場合は SENB と COMM を接続します。
13	VPOS	正電源電圧 $V_S = +3\text{ V} \sim +5.5\text{ V}$ 。
14	PWUP	パワーアップ・ピン。デバイスをパワーアップさせるときは、PWUP と VPOS を接続します。パワーダウンさせるときは PWUP と COMM を接続します。
15	COMM	デバイスのコモン。低インピーダンス・グラウンドへ接続します。
16	INHI	平衡差動入力。内部でバイアスされているため、AC 結合する必要があります。

代表的な性能特性

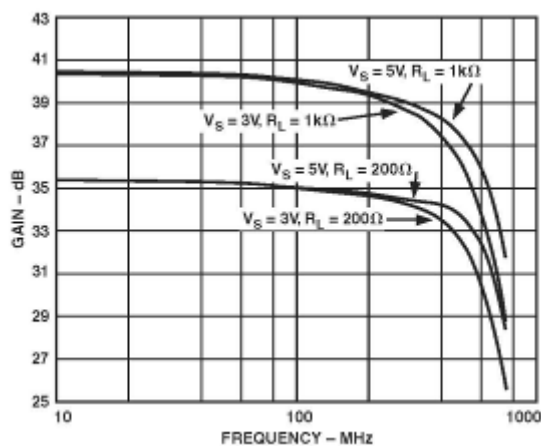
(特に指定がない限り、 $V_S = 5\text{ V}$ 、 $T = 25\text{ }^\circ\text{C}$ 、 $R_S = 200\text{ }\Omega$ 、最大ゲイン)



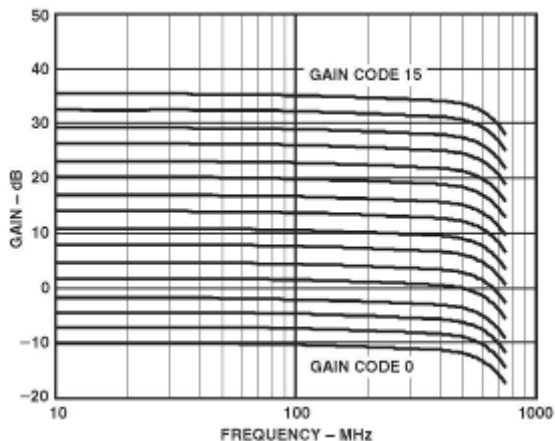
特性 1. ゲイン・コード対ゲイン、70 MHz



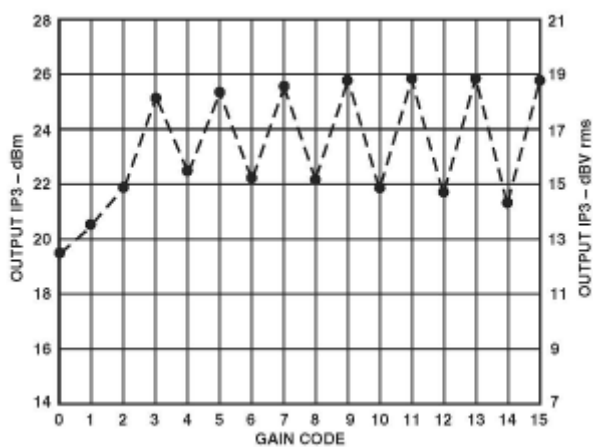
特性 4. 様々なゲイン・コードでのゲイン周波数特性、 $R_L = 1\text{ k}\Omega$



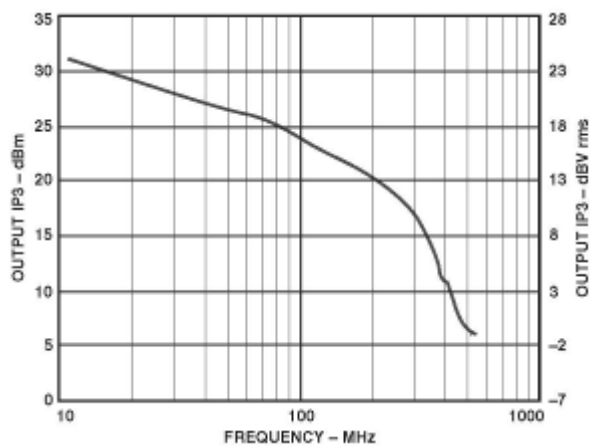
特性 2. 様々な R_L と電源電圧での最大ゲイン周波数特性



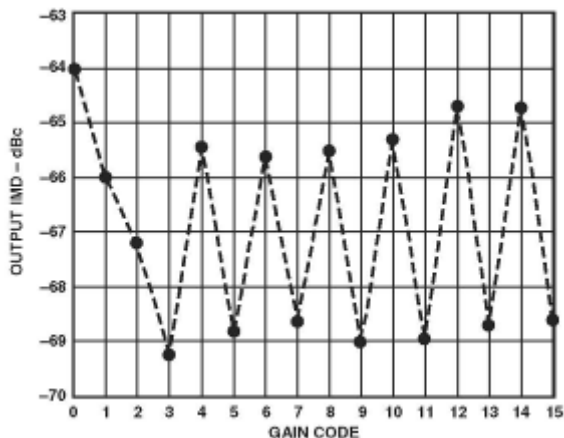
特性 5. 様々なゲイン・コードでのゲイン周波数特性、 $R_L = 200\text{ }\Omega$



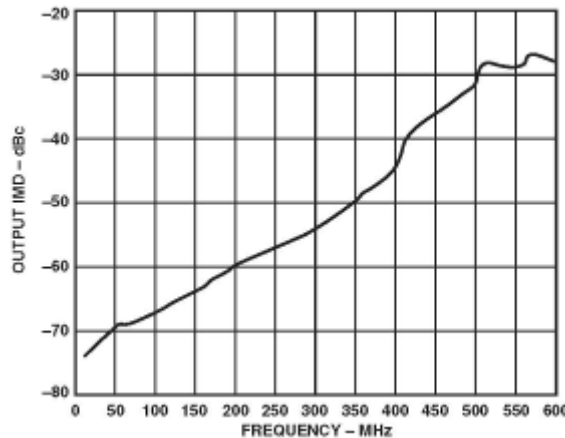
特性 3. ゲイン・コード対出力 IP_3 、70 MHz、 $V_S = 5\text{ V}$ 、 $R_L = 200\text{ }\Omega$



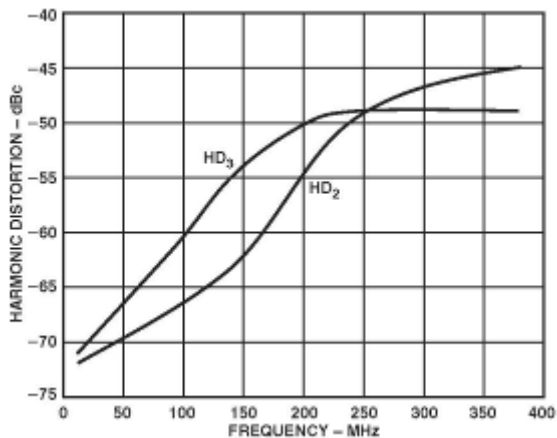
特性 6. 出力 IP_3 の周波数特性、 $V_S = 5\text{ V}$ 、 $R_L = 200\text{ }\Omega$ 、最大ゲイン



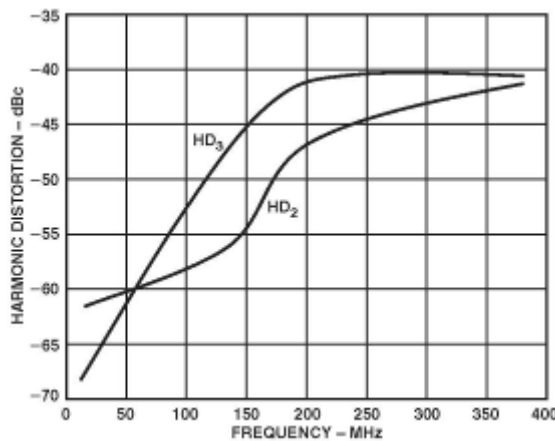
特性 7. ゲイン・コード対 2 トーン IMD₃
70 MHz、 $V_{OPHI} - V_{OPLO} = 1\text{ V p-p}$ 、 $V_S = 5\text{ V}$ 、 $R_L = 1\text{ k}\Omega$



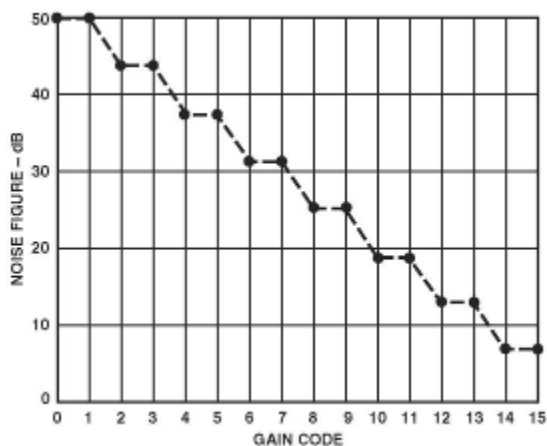
特性 10. 2 トーン IMD₃ の周波数特性
 $V_{OPHI} - V_{OPLO} = 1\text{ V p-p}$ 、 $V_S = 5\text{ V}$ 、 $R_L = 1\text{ k}\Omega$ 、最大ゲイン



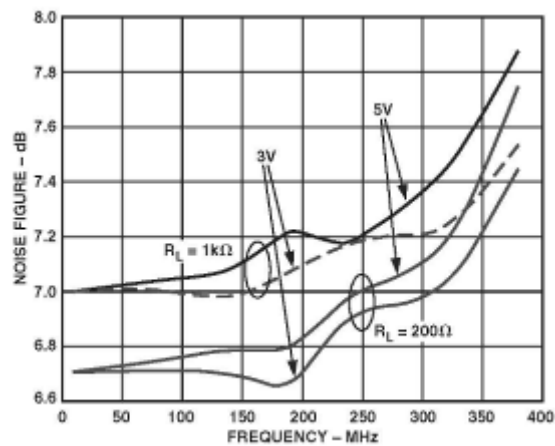
特性 8. $V_{OPHI} - V_{OPLO} = 1\text{ V p-p}$ での高調波歪みの周波数特性
 $V_S = 5\text{ V}$ 、 $R_L = 1\text{ k}\Omega$ 、最大ゲイン



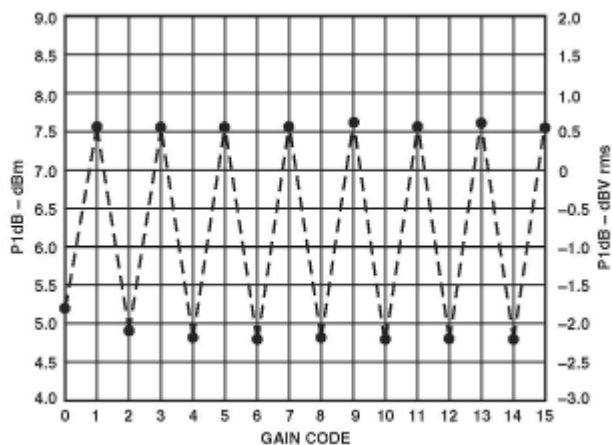
特性 11. $V_{OPHI} - V_{OPLO} = 1\text{ V p-p}$ での高調波歪みの周波数特性
 $V_S = 5\text{ V}$ 、 $R_L = 200\ \Omega$ 、最大ゲイン



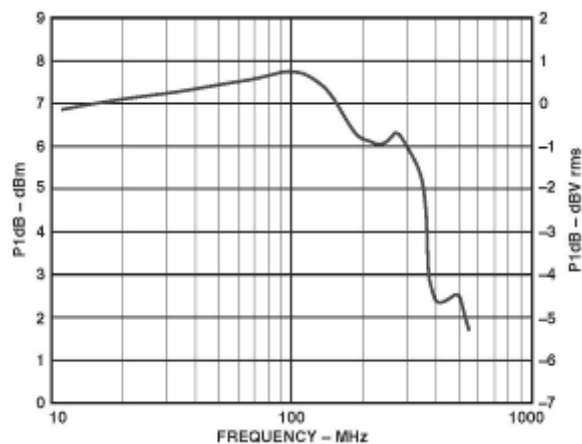
特性 9. ゲイン・コード対ノイズ係数
70 MHz、 $V_S = 5\text{ V}$ 、 $R_L = 200\ \Omega$



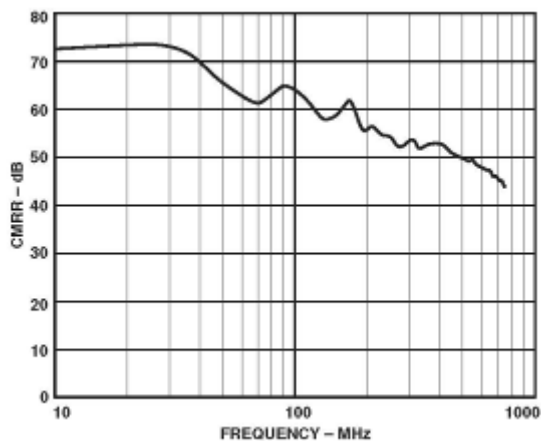
特性 12. 様々な R_L と電源電圧でのノイズ係数周波数特性
最大ゲイン



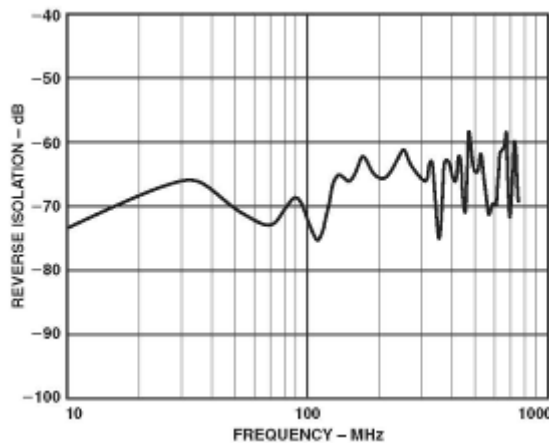
特性 13. ゲイン・コード対出力 P1dB
70 MHz、 $V_S = 5\text{ V}$ 、 $R_L = 200\ \Omega$



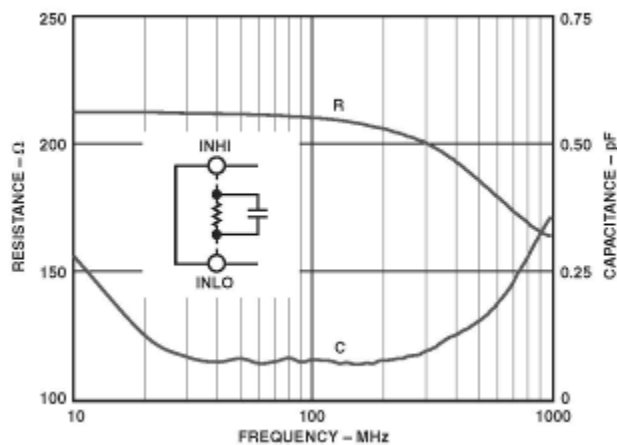
特性 16. 出力 P1dB の周波数特性
 $V_S = 5\text{ V}$ 、 $R_L = 200\ \Omega$ 、最大ゲイン



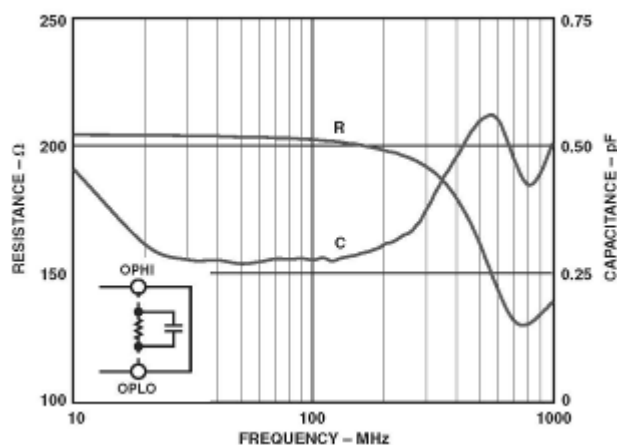
特性 14. 同相モード除去比の周波数特性
最大ゲイン、 $V_S = 5\text{ V}$ 、 $R_L = 200\ \Omega$
(定義についてはアペンディックス参照)



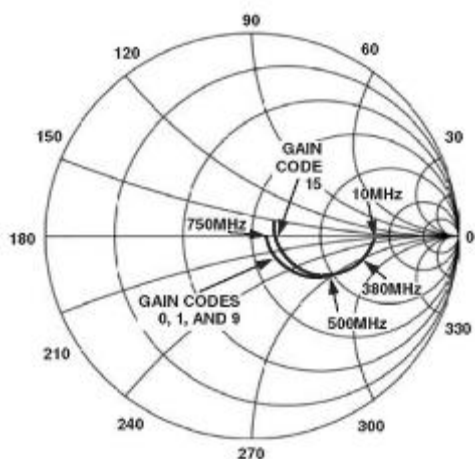
特性 17. リバース・アイソレーションの周波数特性
最大ゲイン、 $V_S = 5\text{ V}$ 、 $R_L = 200\ \Omega$
(定義についてはアペンディックス参照)



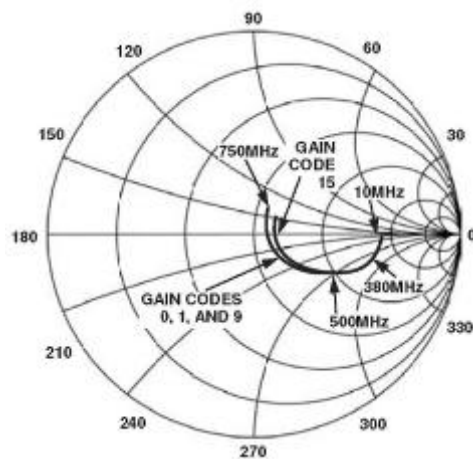
特性 15. 等価入力抵抗と容量の周波数特性、最大ゲイン



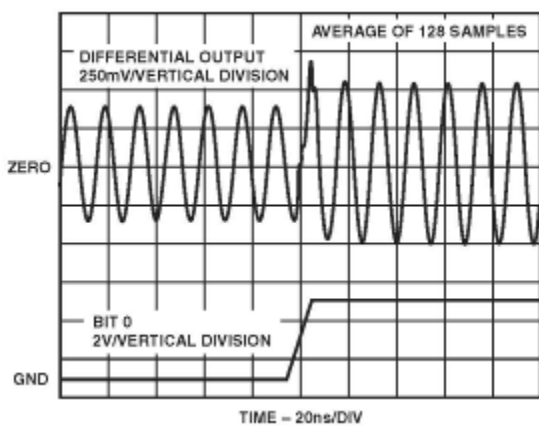
特性 18. 等価出力抵抗と容量の周波数特性、最大ゲイン



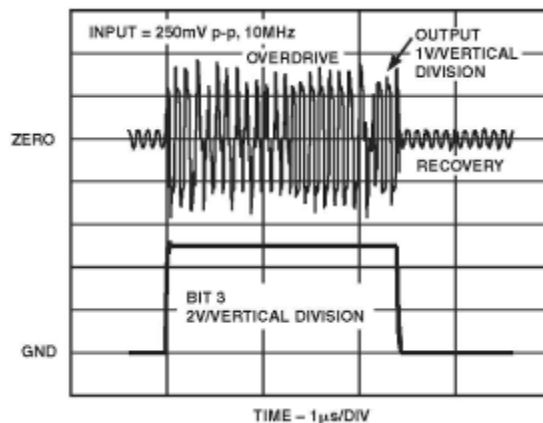
特性 19. 差動入力反射係数 S_{11}
 $Z_0 = 50 \Omega$ 差動、ゲイン選択コード



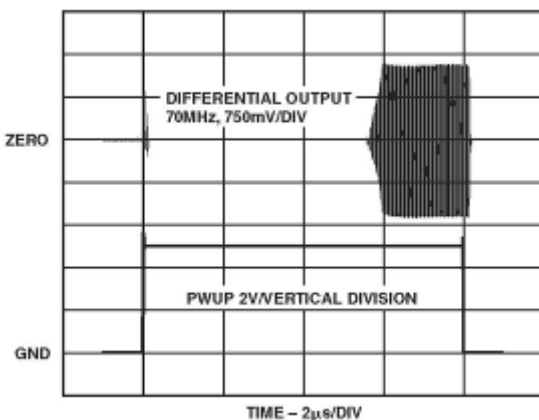
特性 22. 差動出力反射係数 S_{22}
 $Z_0 = 50 \Omega$ 差動、ゲイン選択コード



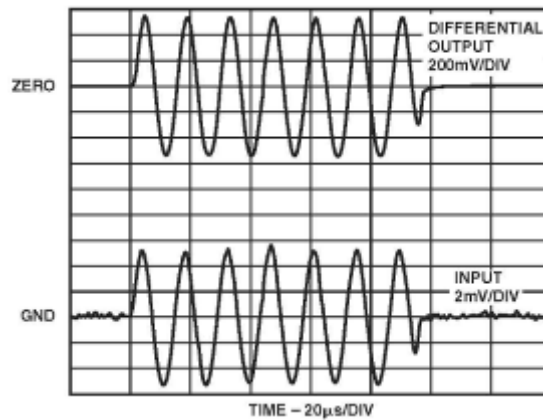
特性 20. ゲイン・ステップ時間領域応答
 3 dB ステップ、 $V_S = 5 V$ 、 $R_L = 1 k\Omega$
 パラレル・トランスペアレント・モード



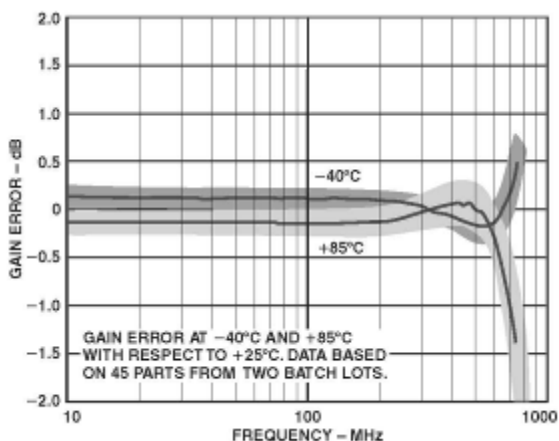
特性 23. オーバードライブ回復時間
 最大ゲイン、 $V_S = 5 V$ 、 $R_L = 1 k\Omega$
 パラレル・トランスペアレント・モード



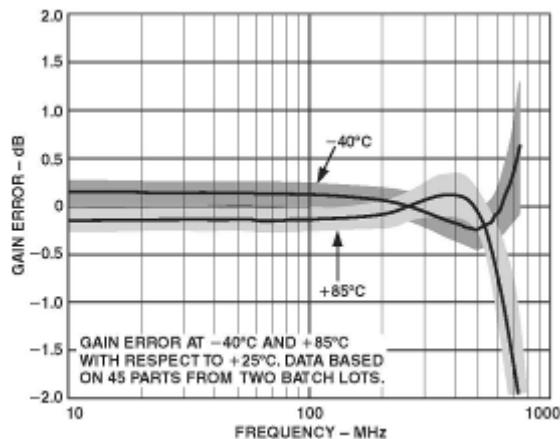
特性 21. PWUP 時間領域応答
 最大ゲイン、 $V_S = 5 V$ 、 $R_L = 1 k\Omega$



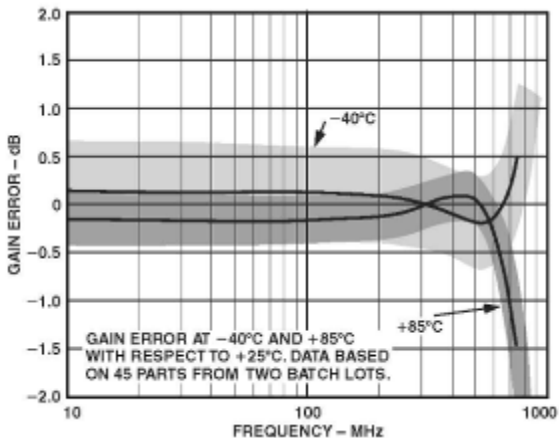
特性 24. パルス応答
 最大ゲイン、 $V_S = 5 V$ 、 $R_L = 1 k\Omega$



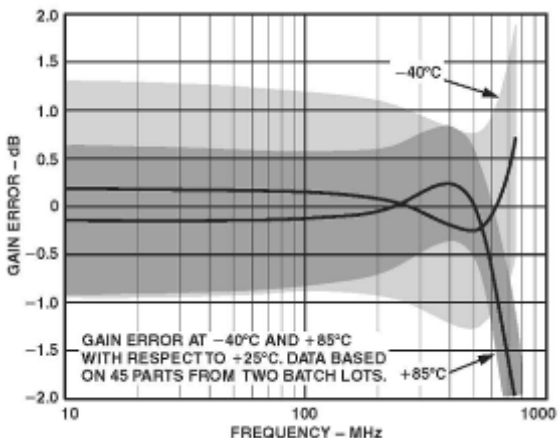
特性 25. 温度変化によるゲイン誤差の周波数特性
平均から±3 シグマ、 $V_S = 5\text{ V}$ 、 $R_L = 1\text{ k}\Omega$ 、最大ゲイン



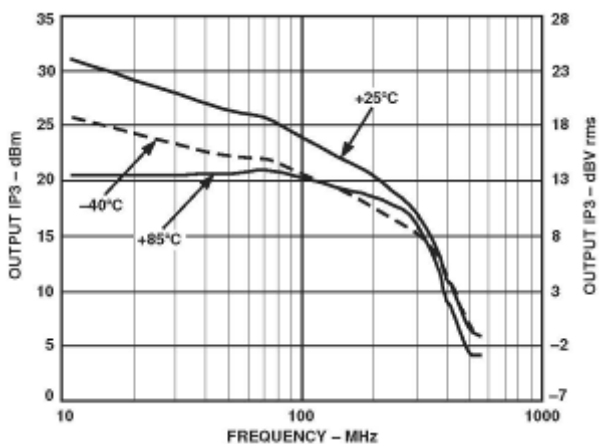
特性 28. 温度変化によるゲイン誤差の周波数特性
平均から±3 シグマ、 $V_S = 5\text{ V}$ 、 $R_L = 200\ \Omega$ 、最大ゲイン



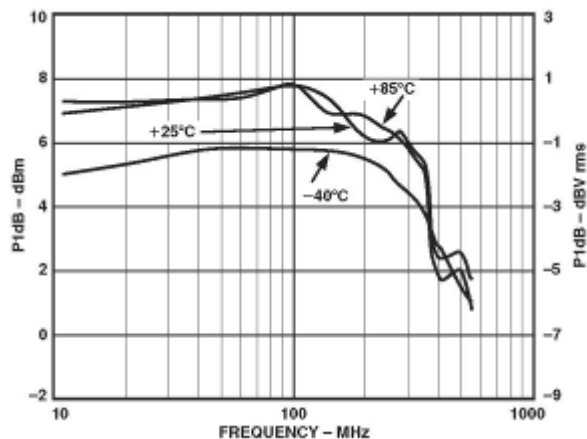
特性 26. 温度変化によるゲイン誤差の周波数特性
平均から±3 シグマ、 $V_S = 3\text{ V}$ 、 $R_L = 1\text{ k}\Omega$ 、最大ゲイン



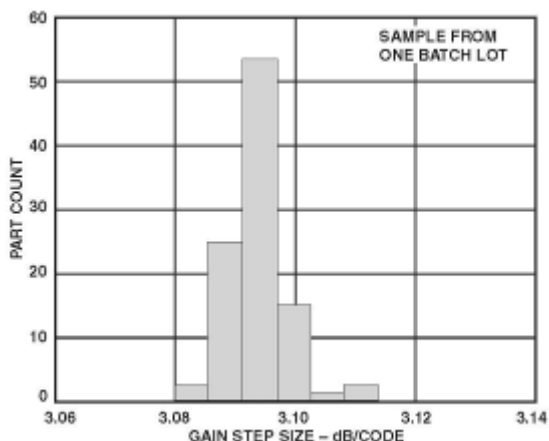
特性 29. 温度変化によるゲイン誤差の周波数特性
平均から±3 シグマ、 $V_S = 3\text{ V}$ 、 $R_L = 200\ \Omega$ 、最大ゲイン



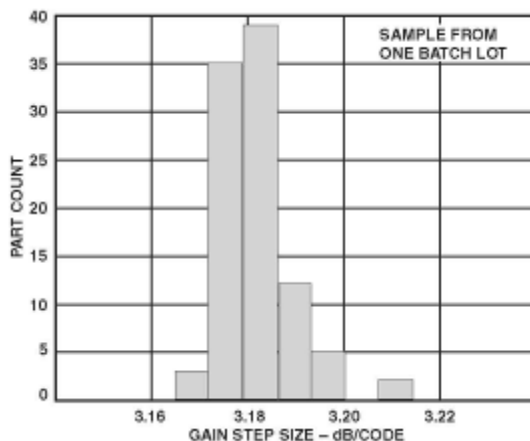
特性 27. 様々な温度での IP3 の周波数特性
 $V_S = 5\text{ V}$ 、 $R_L = 200\ \Omega$ 、最大ゲイン



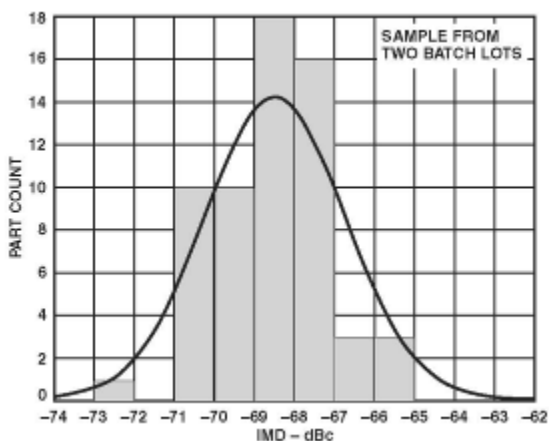
特性 30. 様々な温度での出力 P1dB 周波数特性
 $V_S = 5\text{ V}$ 、 $R_L = 200\ \Omega$ 、最大ゲイン



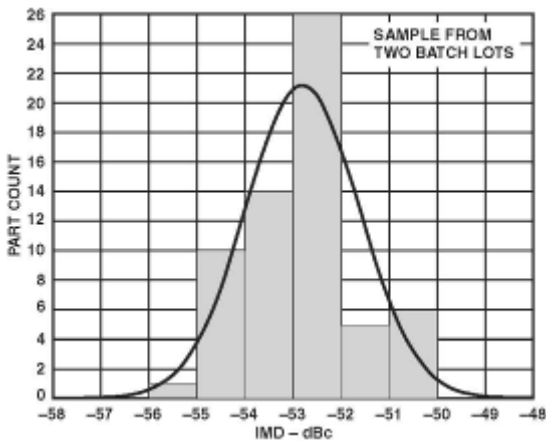
特性 31. ゲイン・ステップ・サイズの分布
70 MHz、 $V_S = 5\text{ V}$



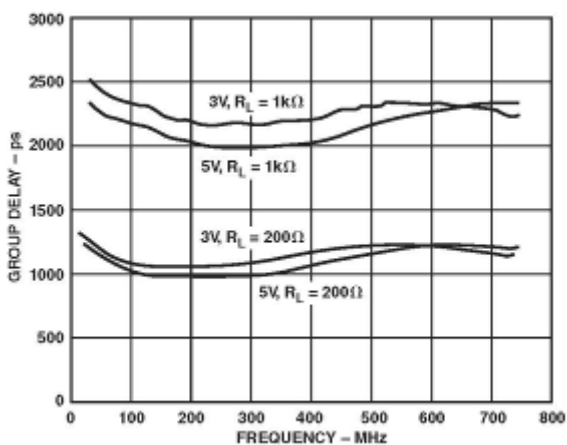
特性 34. ゲイン・ステップ・サイズの分布
320 MHz、 $V_S = 5\text{ V}$



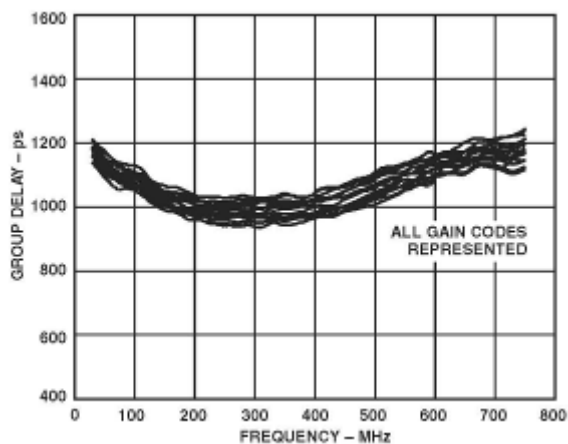
特性 32. IMD_3 の分布
70 MHz、 $R_L = 1\text{ k}\Omega$ 、 $V_{\text{OPHI}} - V_{\text{OPLO}} = 1\text{ V p-p}$ コンポジット
 $V_S = 5\text{ V}$ 、最大ゲイン



特性 35. IMD_3 の分布
320 MHz、 $R_L = 1\text{ k}\Omega$ 、 $V_{\text{OPHI}} - V_{\text{OPLO}} = 1\text{ V p-p}$ コンポジット
 $V_S = 5\text{ V}$ 、最大ゲイン



特性 33. 様々な R_L と電源電圧での群遅延周波数特性
最大ゲイン



特性 36. 様々なゲイン・コードでの群遅延周波数特性
 $V_S = 5\text{ V}$ 、 $R_L = 1\text{ k}\Omega$ 、最大ゲイン

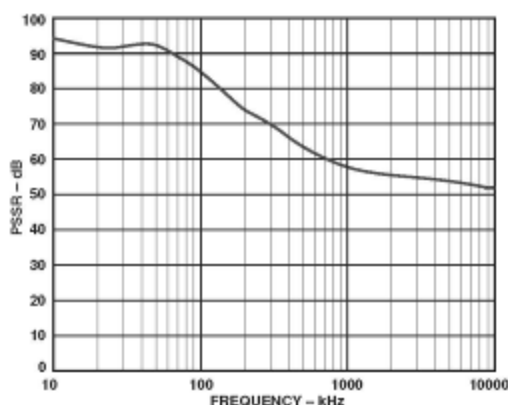
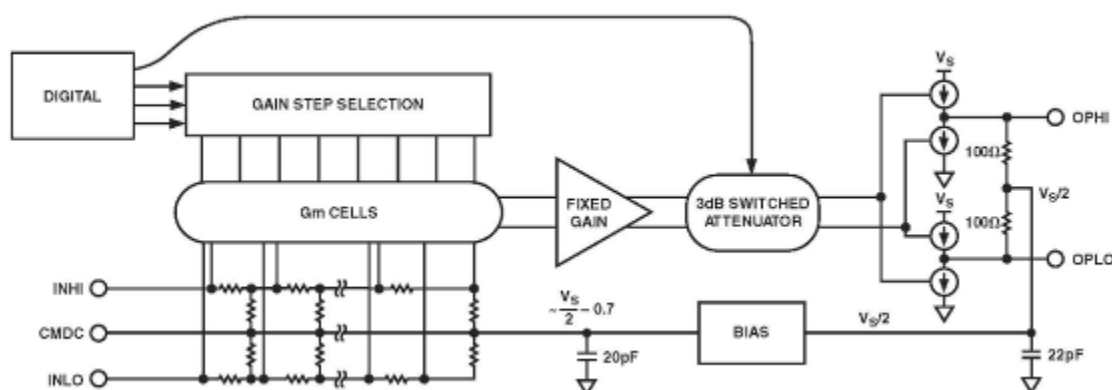
特性 37. 電源除去比、 $V_S = 5\text{ V}$ 、 $R_L = 1\text{ k}\Omega$ 、最大ゲイン

図 1. 全体ブロック図、制御バスと信号バスは差動

動作原理

AD8369 は、アナログ・デバイセズの特許取得済み X-AMP アーキテクチャの派生技術を採用した、デジタル制御のフル差動 VGA です(図 1)。このデバイスは 45 dB の広い範囲で正確なゲイン制御を提供し、-3 dB 帯域幅 = 600 MHz 一定です。

3 dB のゲイン・ステップは、ユーザ選択可能なパラレルまたはシリアル・モードのデジタル・インターフェースから制御することができます。1 本のピン (SENB) によりモードを選択します。AD8369 は、フル差動システムで使用された場合に最適動作するようにデザインされています。ただし、シングルエンド動作も可能です。公称入力インピーダンスと公称出力インピーダンスは 200 Ω です。

入力減衰器と出力 3 dB ステップ

AD8369 は、7 ステージの R-2R ラダー回路 (8 タップ)、Gm 選択ステージ、固定ゲイン差動アンプから構成されています。ラダー回路は、6 dB ステップで 42 dB の総合減衰量を提供します。フル信号は最初のタップを使ってアンプに加えられます。2 番目のタップでは、信号が 6 dB 低下し、以下同様です。更に 3 dB 補間ゲイン・ステップが固定ゲイン・アンプ出力で用意されているため、総合ゲイン範囲は 45 dB になります。

固定ゲイン・アンプ

固定ゲイン・アンプは、R-2R ラダー回路のタップ・ポイントから Gm 選択セルを経由して駆動されます。出力ステージは電流源のコ

ンプリメンタリ対であり、AC グラウンドとの間に内蔵 100 Ω 抵抗が負荷として接続されており、これにより 200 Ω の差動出力インピーダンスが決定されています。AD8369 の低周波ゲインは次式で近似することができます。

$$\frac{V_{OUT}}{V_{IN}} = 0.6 \left(\frac{200R_L}{200 + R_L} \right) \left(\frac{1}{\sqrt{2^{(13-n)}}} \right)$$

ここで、 R_L は外付け負荷抵抗(Ω)。n はゲイン・コード (0=最小ゲイン・コード、15=最大ゲイン・コード)。内蔵の 200 Ω 出力抵抗と並列接続される外付け負荷は、全体ゲインとピーク出力振幅に影響を与えます。外付け負荷はゲイン・ステップ・サイズに影響を与えないことに注意してください。

入力インターフェースと出力インターフェース

AD8369 の差動入力インターフェースと差動出力インターフェースの DC 動作ポイントは、内部でバイアスされています。入力 INHI と入力 INLO はアイソレーション条件とヘッドルーム条件を満たすため、 $V_S/2$ からダイオード・ドロップ分下 (5 V 正電源の場合約 1.7 V) にバイアスされています。これに対して、出力 OPHI と出力 OPLO は、最大出力振幅を得るため電源中点 $V_S/2$ に接続されています。

内蔵 $V_S/2$ リファレンスと CMDC リファレンスはバッファされ、内蔵コンデンサを使ってグラウンドへデカップリングされています。この $V_S/2$ リファレンスがが発生する入力バイアス電圧は

サイクルと DENB のロー・レベルからハイ・レベルへの変化が必要です。

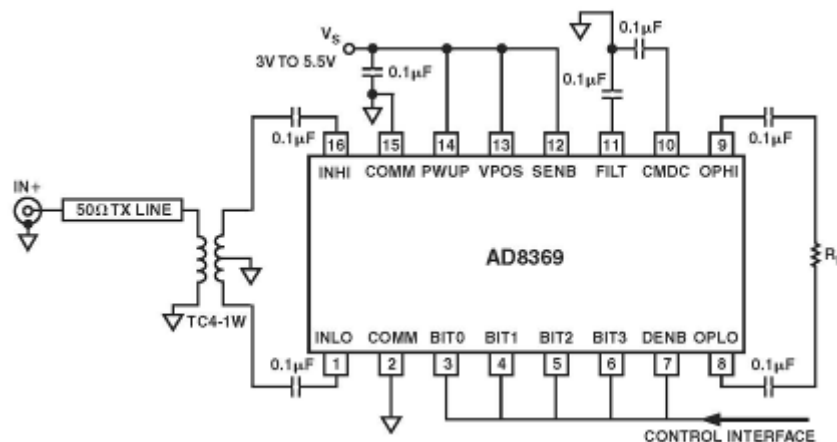


図 3. バイアス接続

基本接続

図 3 に、AD8369 の基本動作に必要な最小接続を示します。+3 V～+5.5 V の電源電圧を使用することができます。VPOS ピンの電源は、少なくとも 1 個の 0.1 μF の低インダクタンス表面実装セラミック・コンデンサをデバイスのできるだけ近くに接続して、デカップリングする必要があります。さらに効果的なデカップリングは、電源と並列な 100 pF コンデンサと電源と直列な 4.7 Ω 抵抗を接続することにより得られます。電圧降下には注意してください。電圧降下を小さくするには、抵抗よりフェライト・ビーズの方が優れています。

入力出力インターフェース

変換比 1:2 のトランスを使うと、広帯域の 50 Ω 入力終端を実現することができます(図 3)。これは、AD8369 入力でシングルエンド入力信号を平衡差動へ変換する際にも使用することができます。

すべての高周波アプリケーションの場合と同様に、パターン・インピーダンスは PC プリント基板のパターンを慎重にデザインすることにより、入力ピンの直ぐ近くまで維持する必要があります。プリント基板 レイアウトの考慮事項のセクションを参照してください。

入力インピーダンス変動と出力インピーダンス変動に対するゲイン感度の低下

前述のゲインのロット間変動は、原理的には信号源負荷を調整することにより除去することができます。

AD8369 の入力抵抗と出力抵抗および AD8369 に接続した信号源抵抗と負荷抵抗の関数として α 項を定義します。

$$R_{\text{SOURCE}} = \alpha (R_{\text{INPUT}})$$

$$R_{\text{OUTPUT}} = \alpha (R_{\text{LOAD}})$$

50 Ω 信号源の場合、 $\alpha = 0.25$ となります。そうすると、変動に対してゼロ感度の負荷抵抗は 800 Ω になります。さらに簡素化すると、

$$(R_{\text{SOURCE}})(R_{\text{LOAD}}) = (R_{\text{INPUT}})(R_{\text{OUTPUT}}) = 200^2$$

一般に、各インターフェースに $1/(1+\alpha)$ の損失係数が存在するため、ソースと出力の負荷 $40 \log_{10}(1+\alpha)$ に起因して全体ゲインが低下します。この場合、入力損失係数と出力損失係数は各インターフェースで 0.8 (1.94 dB) となるため、全体ゲインは 3.88 dB だけ低下します。

シングルエンド・ソースからの動作

高周波での歪みとゲインという点では、平衡度の良い入力に AD8369 を駆動すると良好で、シングルエンド・ソースを INHI ピンに直接 AC 結合し、かつ INLO ピンを 2 個目のコンデンサで AC グラウンドへ接続すると、十分な動作が得られます。この動作モードでは、入力部分の優れた HF 同相モード除去比を利用しています。コンデンサの値は、他の例と同様に、低周波で十分な導通が得られるように選択する必要があります。

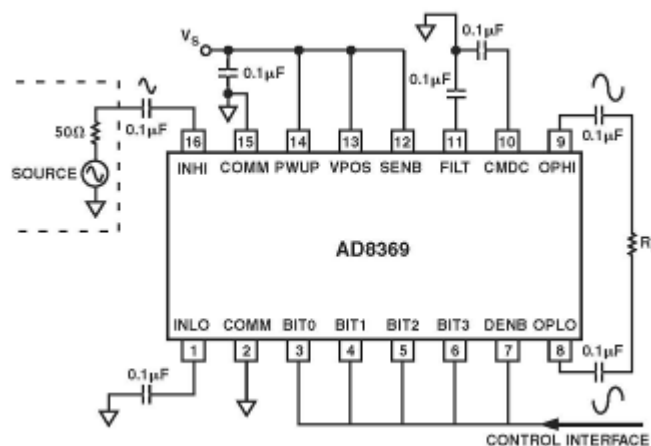


図 4. シングルエンドから差動への変換アプリケーション例

例えば、図 4 の入力信号はグラウンド基準の 50Ω ソースからの 140 MHz 正弦波とします。 $0.1 \mu\text{F}$ の結合コンデンサはこの周波数で非常に小さいリアクタンス ($11 \text{ m}\Omega$) を持つため、実質的にすべての AC 電圧が AD8369 の差動入力へ渡されます。十分な結合容量を使うことに加え、オフセット制御ループの低周波範囲を広げるために使用される外付けコンデンサ C_{FILT} も、オフセット制御ループが AC 信号の変動に追従するのを防止するため十分大きい必要があります。

ADC に対するインターフェース

AD8369 は、ダイレクト IF サンプリング・レシーバ・アプリケーションで、ADC のダイナミックレンジを効果的に広げるために使用することができます。図 5 に、 $\text{IF}=70 \text{ MHz}$ 向けにデザインされた ADC に対するインターフェースの例を示します。この例は、高調波を減衰させ、かつ 200Ω から $1 \text{ k}\Omega$ へのインピーダンス変換機能を持つローパス・フィルタで構成されています。このインピーダンス変換により、AD8369 は通過帯域においてピーク出力振幅より遥かに低いレベルで動作できるため、歪みは大幅に小さくなります。

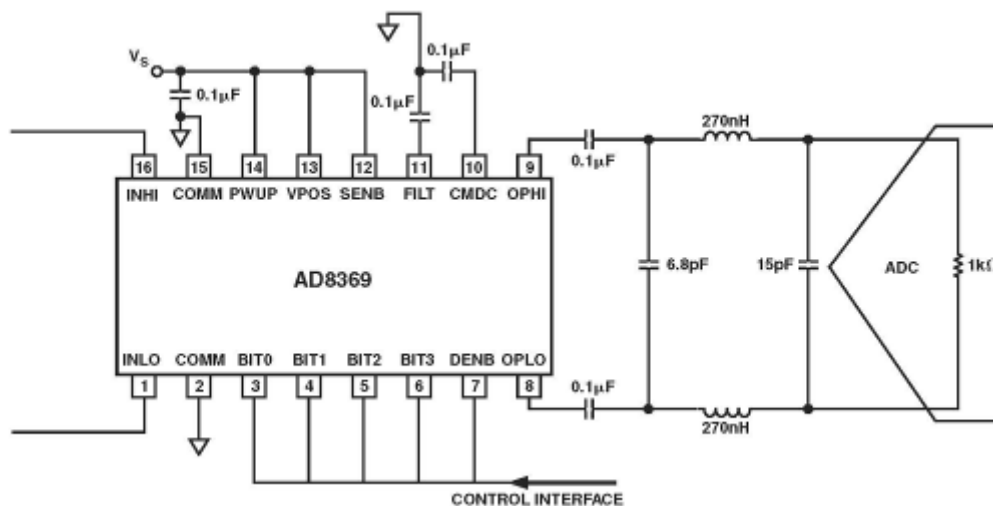


図 5. AD8369 と ADC とのインターフェース

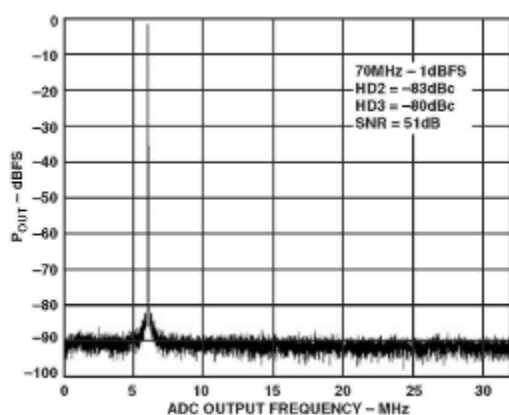


図 6. シングル・トーン 70 MHz、 -1 dBFS

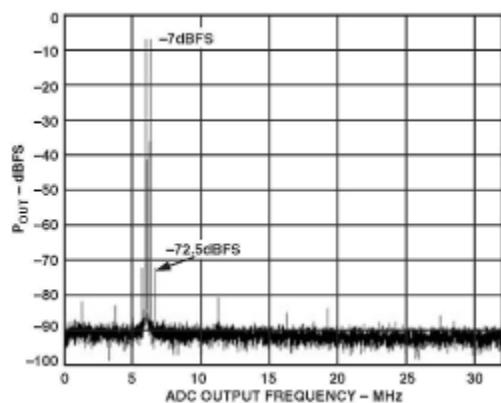


図 7. 2 トーン、70 MHz、70.3 MHz、 -7 dBFS

説明のために、高性能 14ビット ADC の AD6645 を使い、 2.2 V p-p のフルスケール入力で 64 MSP のサンプリングとします。この構成では一般に、 $\text{SNR} = 51 \text{ dB}$ 、 $\text{SFDR} = -90 \text{ dBFS}$ が実現できます。図 6 に、シングル・トーン、ADC 入力 = -1 dBFS ($= 2 \text{ V p-p}$)、 $\text{HD2} = -83 \text{ dBc}$ 、 $\text{HD3} = -80 \text{ dBc}$ の AD8369 の FFT を示します。図 7 に、2 トーン、3 次相互変調歪みレベル = -65.5 dBc の場合を示します。

プリント基板レイアウト時の考慮事項

AD8369 の各入力ピンと各出力ピンは、それぞれの AC グラウンドに対して 100Ω を示します。プリント基板自体により信号のインテグリティが大きく損なわれないようにするため、対応するパターンはグラウンド・プレーンに対して 100Ω の特性インピーダンスを持つ必要があります。これは適切なレイアウトにより実現することができます。図 8 にプリント基板の断面を、表 II に 100Ω のライン・インピーダンスを提供する寸法を、それぞれ示します。

表 II. FR-4 での 100Ω 特性インピーダンス・マイクロストリップ・ラインに必要な寸法

ϵ_r (FR-4)	4.6
W	22 mils
H	53 mils
T	2.1 mils

制御されたインピーダンスを持つ RF 信号用パターンのレイアウトで考慮すべき事項には次が含まれます。

- グラウンド・プレーンを信号パターンの片側から少なくとも 3 ライン幅だけ離して配置し、平坦な (側方向の誘電体) ウェーブガイドではなく、マイクロストリップ (垂直方向の誘電体) ラインが形成されるようにします。
- マイクロストリップ・ライン幅を一定にし、ライン長方向に不連続 (部品パッドなど) をできるだけ少なくします。幅の変化によりラインにインピーダンス不連続性が生ずるため、反射が発生することがあります。
- 信号ラインにシルクスクリーンを使用するとライン・インピーダンスが変わるため、使用しないでください。
- 入力接続ラインと出力接続ラインの長さはできるだけ短くします。

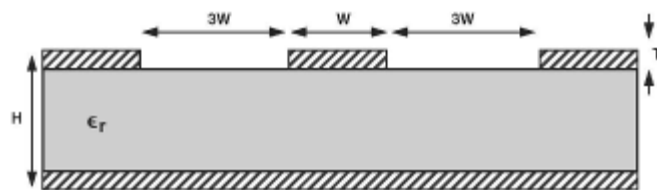


図 8. PC ボードの断面図

AD8369 にはデジタル・セクションとアナログ・セクションがあります。デジタル・セクションとアナログ・セクションは PC ボード上で十分離すように注意する必要があります。各セクションに対して別々のグラウンド・プレーンを使用し、フェライト・ビーズ・インダクタを介して 1 点に接続すると、デジタル・パルスにより AD8369 のアナログ・セクションが悪影響を受けないようにすることができます。

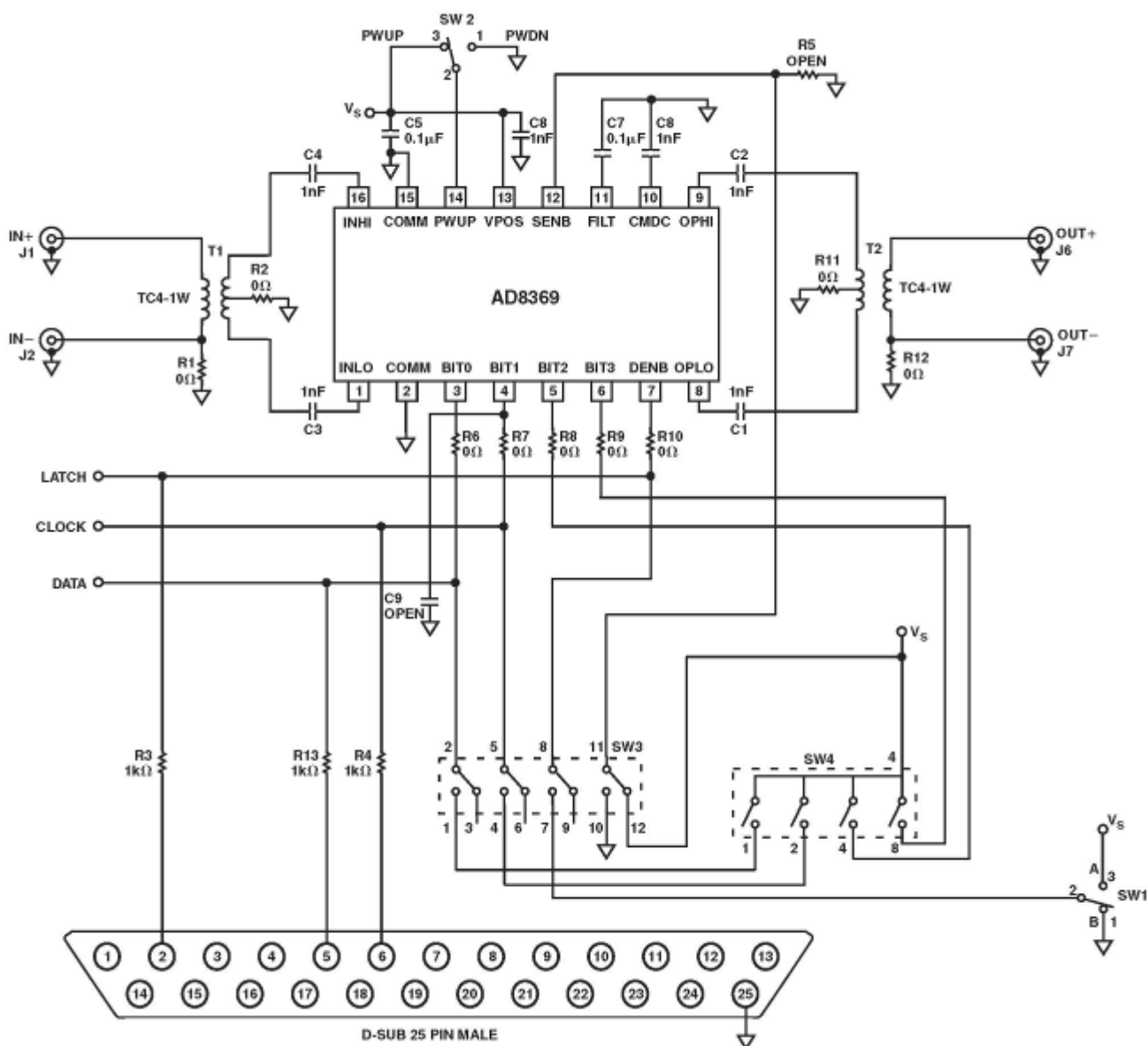


図 9. 評価用ボードの回路図

評価用ボード

評価用ボードを使うと、標準の $50\ \Omega$ テスト装置を使って AD8369 を迅速にテストすることができます。回路図を図 9 に示します。トランス T1 と T2 を使って、 $50\ \Omega$ のソース・インピーダンスと負荷インピーダンスを所望の $200\ \Omega$ リファレンス・レベルに変換します。このため、インピーダンス整合に煩わされることなく、デバイスの広帯域動作が可能になります(表 III 参照)。

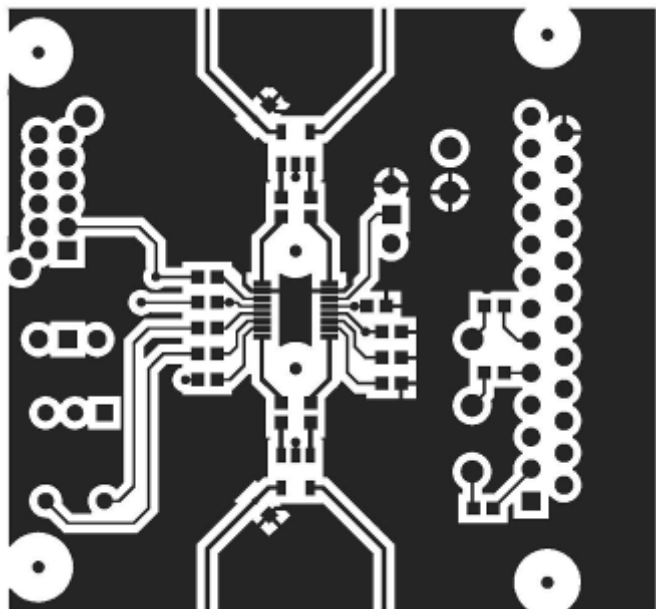


図 10. 評価用ボードのレイアウト

評価用ボード・ソフトウェア

評価用ボードには、大部分のコンピュータからシリアル・ゲイン制御を可能にする AD8369 制御ソフトウェアが添付されています。評価用ボードはケーブルを使ってコンピュータの平行ポートへ接続します。制御ソフトウェアでスライダ・バーを調整するだけで、AD8369 に対するゲイン・コードを自動的に更新することができます。旧型の PC によっては、ポート・トランシーバの能力に応じて、DATA、CLOCK、LATCH の各ピンと VPOS の間に $5\ \text{k}\Omega$ のプルアップ抵抗が必要となることがあります。

制御ソフトウェアが正常に動作するためには、評価用ボード上の SW3 を“SER”に設定する必要があります。図 11 に、評価ソフトウェア・インターフェースのスクリーン・ショットを示します。



図 11. 評価用ソフトウェアのインターフェース

表 III.AD8369 評価用ボードの設定オプション

Component	Function	Default Condition
VPOS, GND	Supply and Ground Vector Pins	Not Applicable
SW1	Data Enable: Set to Position A when in serial mode of operation, set to Position B when in parallel mode of operation.	Not Applicable
SW2	Device Enable: When in the PWDN position, the PWUP pin will be connected to ground and the AD8369 will be disabled. The device is enabled when the switch is in the PWUP position, connecting the PWUP pin to VPOS.	Not Applicable
SW3, R5	Serial/Parallel Selection. The device will respond to serial control inputs from connector P1 when the switch is in the SER position. Parallel operation is achieved when in the PAR position. Device can be hardwired for parallel mode of operation by placing the 0 Ω resistor in position R5.	Not Applicable R5 = Open (Size 0603)
SW4	Parallel Interface Control. Used to hardwire BIT0 through BIT3 to the desired gain code when in parallel mode of operation. The switch functions as a hexadecimal to binary encoder (Gain Code 0 = 0000, Gain Code 15 = 1111).	Not Applicable
J1, J2, J6, J7	Input and Output Signal Connectors. These SMA connectors provide a convenient way to interface the evaluation board with 50 Ω test equipment.	Not Applicable
C1, C2, C3, C4	AC-Coupling Capacitors. Provides ac-coupling of the input and output signals.	C1, C2, C3, C4 = 1 nF (Size 0603)
T1, T2	Impedance Transformers. Used to transform the 200 Ω input and output impedance to 50 Ω .	T1, T2 = TC4-1W (MiniCircuits)
R1, R2, R11, R12	Single-Ended or Differential. R2 and R11 are used to ground the center tap of the secondary windings on transformers T1 and T2. R1 and R12 should be used to ground J2 and J7 when used in single-ended applications. R1 and R12 should be removed for differential operation.	R1, R2, R11, R12 = 0 Ω (Size 0603)
R6, R7, R8, R9, R10	Control Interface Resistors. Simple series resistors for each control interface signal.	R6, R7, R8, R9, R10 = 0 Ω (Size 0603)
C5, C6, C8	Power Supply Decoupling. Nominal supply decoupling consists of a 0.1 μ F capacitor to ground followed by a 1 nF capacitor to ground positioned as close to the device as possible. C8 provides additional decoupling of the input common-mode voltage.	C5 = 0.1 μ F (Size 0603) C6 = C8 = 1 nF (Size 0603)
C7	High-Pass Filter Capacitor. Used to set high-pass corner frequency of output.	C7 = 0.1 μ F (Size 0603)
C9	Clock Filter Capacitor. May be required with some printer ports to minimize overshoot. The clock waveform may be smoothed using a simple filter network established by R7 and C9. Some experimentation may be necessary to determine optimum values.	C9 = Open (Size 0603)

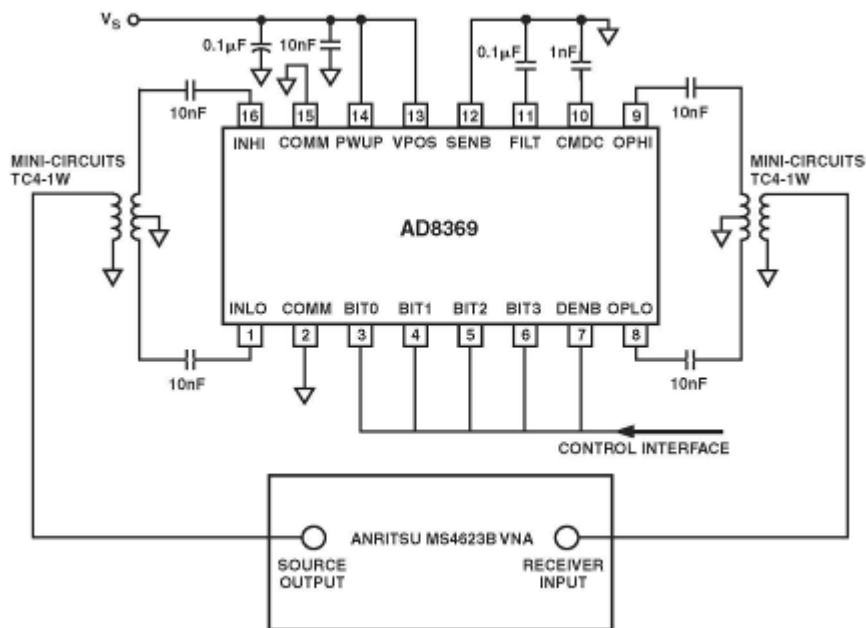


図 13. ベクトル・ネットワーク・アナライザのセットアップ (200 Ω)

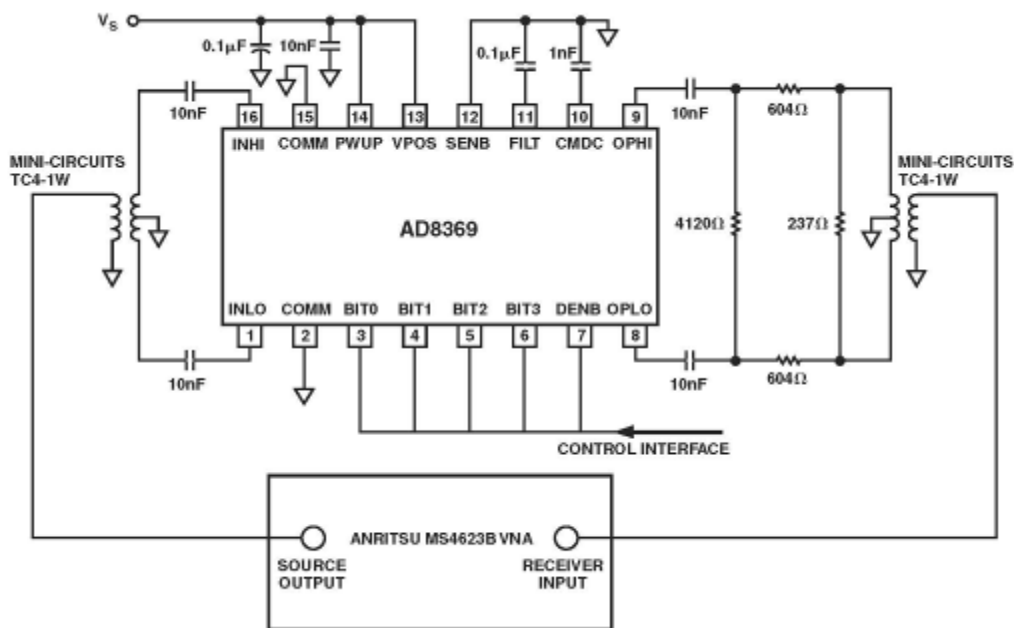


図 14. ベクトル・ネットワーク・アナライザのセットアップ (1 kΩ)

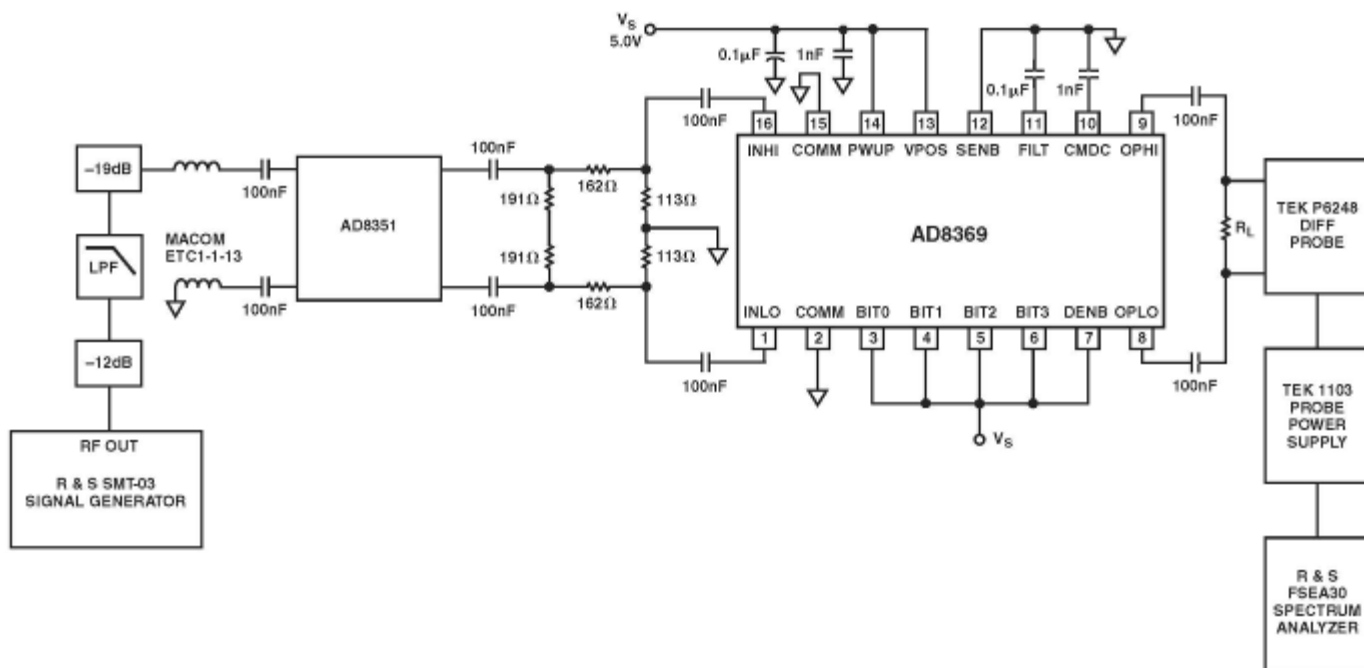


図 15. 高調波歪みのセットアップ

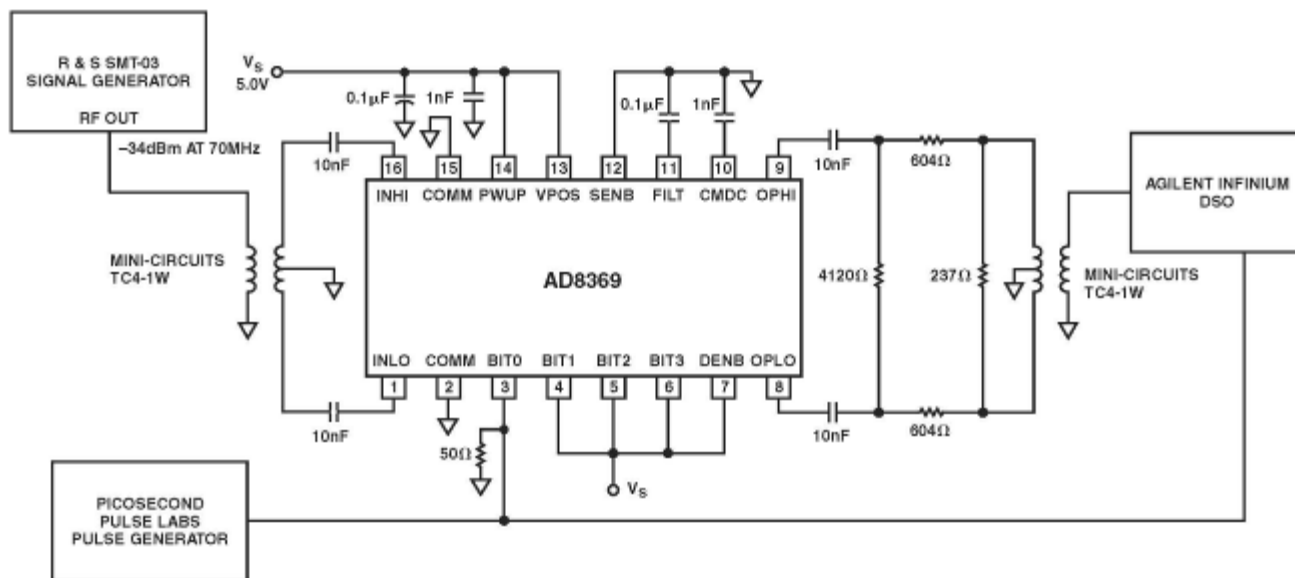


図 16. ゲイン・ステップ応答のセットアップ

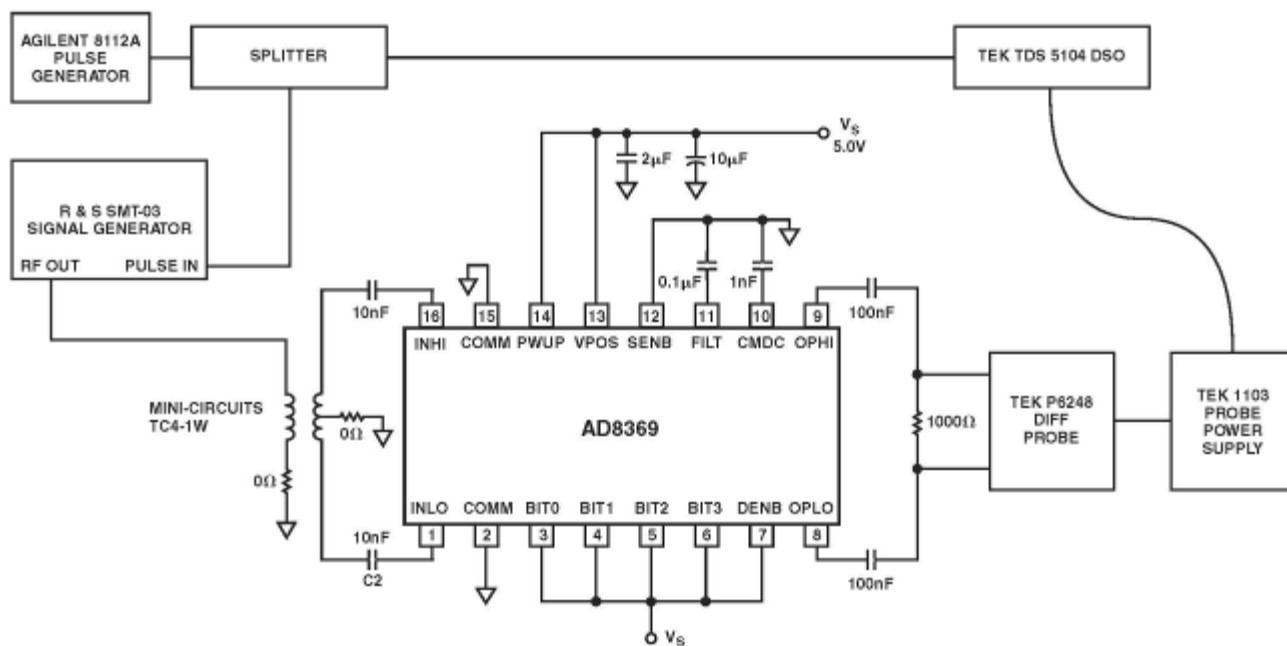


図 17. パルス応答のセットアップ

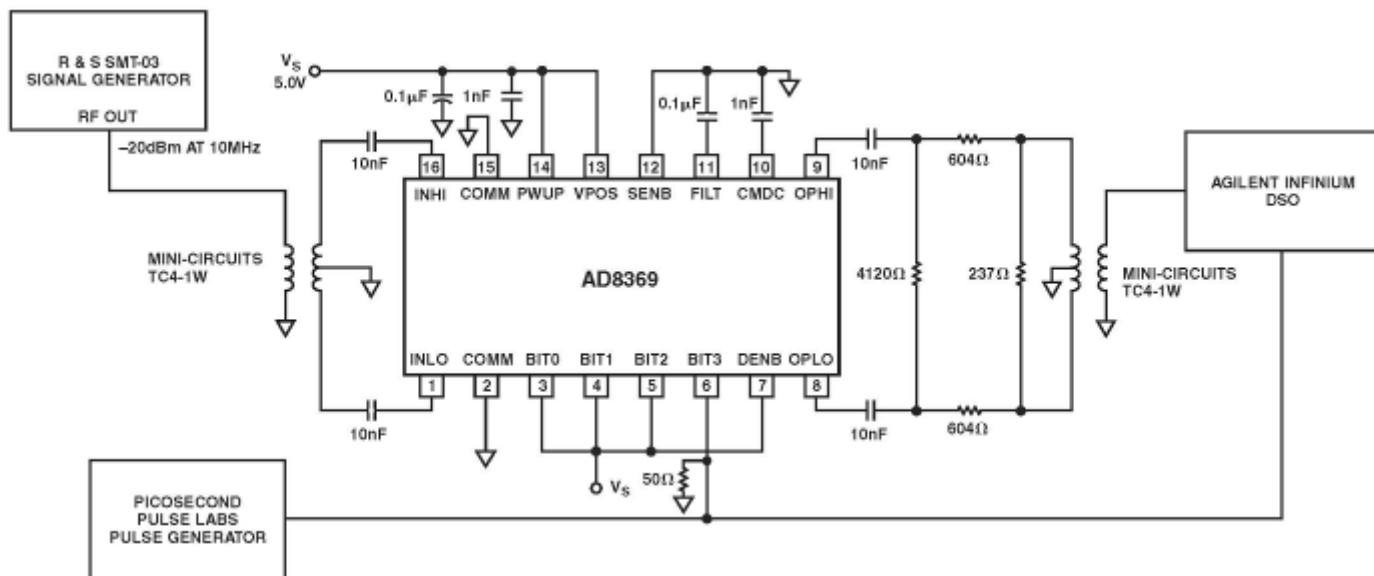


図 18. オーバードライブ応答のセットアップ

外形寸法

16ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-16)
寸法: mm

